

基于 PCI 总线的高速数据采集系统

杨涛 唐卫华 阎镇

中科院空间中心 (北京 100080)

摘要: 本文详细介绍了一种基于 PCI 总线的高速数据采集系统的原理、组成和功能以及在 Windows 2000 环境下进行数据采集和存储的方法。该系统用于某型号卫星下行的高速数据采集。系统设计与技术的通用性可应用于其它类似的高速数据采集与处理系统中。

关键词: PCI 总线 数据采集 DMA

A High-Speed Data Acquisition System Based on PCI

Yang Tao Tang Weihua Yan Zhen

The Center for Space Science & Applied Research (Beijing 100080)

Abstract A high-speed data acquisition system design based on PCI is presented in details. The system is used for a satellite down-link base band data acquisition. The design methodology can be used to other similar systems.

Key Words PCI bus data acquisition DMA

1 概述

PCI 总线 (Peripheral Component Interconnect) 是美国 Intel 公司首先提出, 在 1992 年由 PCI SIG 发布的总线规范, 是一种先进的高性能局部总线, 可同时支持多组外围设备。PCI 总线以 33MHz/66MHz 的时钟频率操作, 采用 32/64 位地址/数据复用总线, 数据传输速率可高达 132MB/s(33MHz/32 位), 远远超过 ISA 总线 5MB/s 的速率。

PCI 总线的基本传输机制是突发成组传输。一个突发分组由一个地址器和一个 (多个) 数据期组成。PCI 总线支持存储器空间和 I/O 空间的突发传输。

在一个 PCI 总线系统中, 如果某设备取得了总线控制权, 就称其为“主设备”; 而被主设备选中以进行通信的设备称为“从设备”。而且, PCI 总线独立于处理器, 采用总线主控和同步操作, 并具有极小的存取延时, 是一种立足现在放眼未来的总线标准。

PCI 总线定义了三个物理地址空间: 内存地址空间、I/O 地址空间和配置地址空间。PCI 总线的配置地址空间规范使 PCI 总线的配置更加简易和灵活。

基于 PCI 总线的这些特性, 按照 PCI 总线规范设计的数据采集设备能够满足高速数据采集的要求。本文介绍了一种基于 PCI 总线的高速数据采集系统, 该系统用于某型号卫星下行的高速数据采集。由于系统设计与技术的通用性, 也可将其应用于其它相似的高速数据采集与处理系统中。

2 高速数据采集系统硬件设计方案

高速数据采集系统的功能是实时采集接收机解调后的高速基带数据流。根据 PCI 总线的特点, 我们设计了基于 PCI 总线的数据采集卡, 并以此为基础构架了在 Windows2000 平台上的高速数据采集系统。

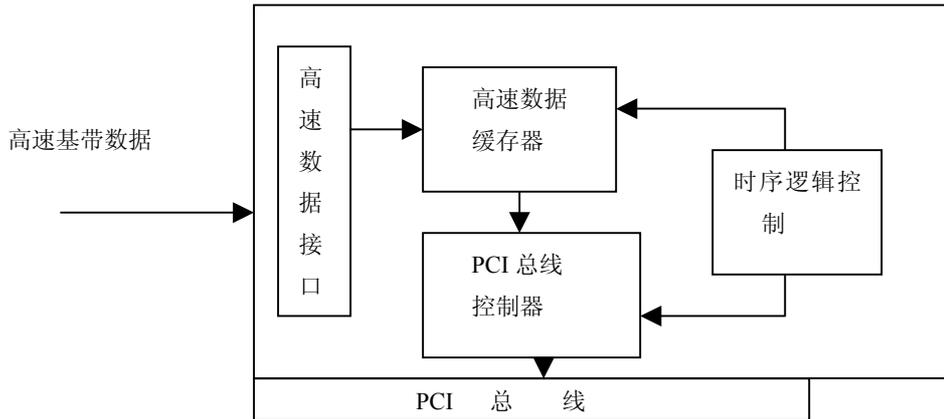
2.1 PCI 数据采集卡的设计

PCI 总线采集卡的设计主要包括 PCI 总线控制器、高速数据缓存、高速数据接口和时序逻辑控制等功能模块。其结构如图 1 所示:

2.2 PCI 总线控制器 S5933 简介

PCI 总线执行协议比较复杂, 总线的接口逻辑也非常复杂, 为简化电路设计和提高可靠性, 许多元器件制造商推出了 PCI 协议控制芯片。AMCC 公司的总线控制器芯片 S5933 就是功能很强的 PCI 接口控制芯片, 被广泛用于数据采集模板的设计, 提供了一种简单的开发 PCI

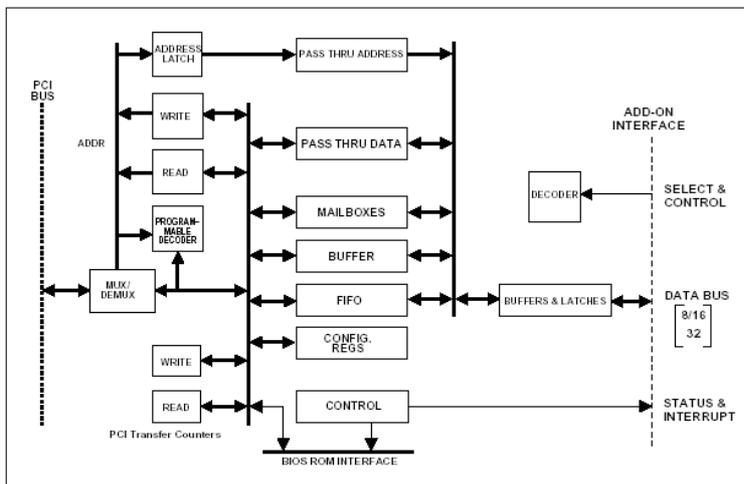
总线设备的方法。



S5933 是符合 PCI 规范 2.1 的 32 位接口芯片，它提供了三种物理总线接口：PCI 总线、外接（Add-On）总线和一個可选的外部配置存储器接口，如图 2 所示。PCI 配置寄存器的各参数值可放在配置存储器中，在系统启动初始化时下载到配置寄存器中，也可在应用程序中重新配置。S5933 还包括两组内部控制寄存器：一组是 PCI 总线控制寄存器，另一组是 Add-On 总线控制寄存器，它们被用于 PCI 总线和 Add-On 总线之间进行数据传送，采集数据通过 Add-On 总线到 PCI 总线。

S5933 有三种传输工作方式：Mailbox、FIFO 和 PASS-THRU。

S5933 内部有两个 FIFO，一个 FIFO 的数据传送方向是从 PCI 总线到 Add-On 总线，另一个 FIFO 的数据传送方向相反。每一个 FIFO 中有 8 个 32 位寄存器，高速数据采集使用从 PCI 总线启动总线主控传送方式从 PCI 总线访问总线主控写地址寄存器 (MWAR) 和写传送计数器 (MWTC) 设置数据传输的存储地址和数据长度。



2.3 高速数据缓存设计

由于在 PCI 总线控制器 S5933 的 FIFO 中只有 8 个 32 位寄存器，对于实时高速数据，可能会由于系统的延时造成数据的丢失。因此，需要对数据的缓存进行扩展。

经过对各种缓存器件和 S5933 特点的分析，我们采用 IDT 公司的 FIFO 器件 IDT72V36100 作为高速数据的缓存。IDT72V36100 是一个高速同步 FIFO 器件，提供 65536 x 36 比特的存储单元，并且具有配置灵活的特点，其结构如图 3 所示。

IDT72V36100 可以通过设置确定输入输出的数据宽度，对于宽度为 8 比特的输入数据，

为了充分利用 PCI 总线的性能，将输出数据的宽度设为 32 比特。此外，IDT72V36100 提供了丰富的状态信号，包括 Empty（空）、HF（半满）、FF（全满）等，可以利用它们作为控制信号。

2.4 高速数据采集接口

高速数据可以有多种传输形式，包括并行数据、串行数据和差分数据等，也可以是直接进行 A/D 采集的数据。为此设计中预留了多种接口形式，并通过可编程逻辑器件（Xilinx 公司的 CPLD 器件 XC9536）进行控制，如串并转换等。

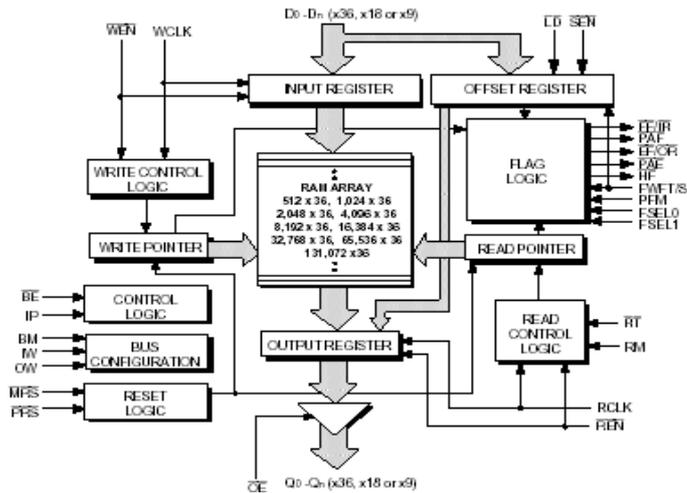


图 3 IDT72V36100 结构图

2.5 时序逻辑控制

在设计中，我们根据 PCI 总线支持突发传输的特点，采用 DMA 传输的模式。S5993 通过其内部的 FIFO，提供了一个较为简单易用的 DMA 通道，为此需要通过相应的逻辑控制将扩展的存储空间一起结合为一个整体。我们采用一片 Xilinx 公司的 CPLD 器件 XC9536 作为逻辑控制器。其主要控制过程如图 4 所示，当 S5933 的 FIFO 填满（wrfull 信号有效）或 72v36100 读空（empty 信号有效）时，使 wrfifo 和 ren 信号同时无效，停止向 S5933 中写数据和从 72v36100 中读数据。以保证数据不会丢失或重复读入。

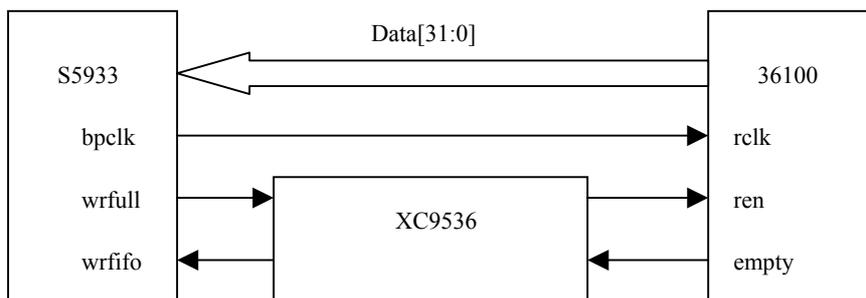


图 4 时序逻辑控制结构图

3 高速数据采集系统软件设计

高速数据采集系统的软件部分由运行在内核空间的 S5933 设备驱动程序和用户端的应用程序两部分组成。

3.1 S5933 驱动

S5933 驱动程序根据 Windows 驱动程序模型（WDM）设计，运行在 Win2000 平台上。支持即插即用，采用基于数据包的 DMA 传输方式，每次最大传输 64K 字节。

当应用程序请求从采集卡读数据时，内核 I/O 管理器将此请求打包成一个 IRP (I/O 请求包)，并调用驱动程序的读例程。如果设备不忙，就启动 DMA 传输；否则将此 IRP 加入 IRP 队列中。

启动设备 DMA 读时，先用数据传输的存储地址和数据长度设置写地址寄存器(MWAR)和写传送计数寄存器(MWTC)。再设置中断控制状态寄存器(INTCSR)使 DMA 完成时能触发中断，最后设置控制/状态寄存器(MCSR)来启动 DMA 读。

当本次 DMA 传输完成时，采集卡产生中断，I/O 管理器调用中断服务例程和 DpcForIsr 完成此 IRP，并从 IRP 队列中取出下一个 IRP，启动下一次 DMA。下一次中断发生时同样处理。这样不断地进行 DMA 传输，直到 IRP 队列空为止。

3.2 应用程序结构

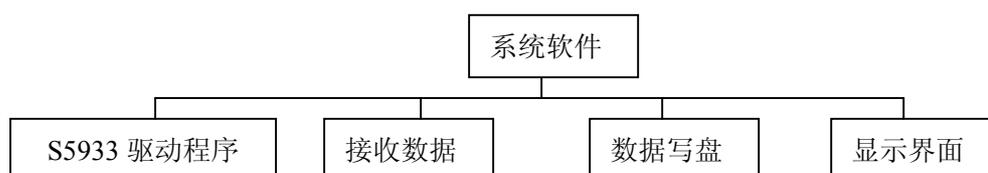


图 3 高速数据采集系统软件结构图

高速数据采集系统软件的应用端是用 VC6.0 开发的多线程的标准 windows 对话框程序。显示界面主线程负责与用户的交互，启动、结束其他两个工作线程。接收数据线程不停地向 S5933 驱动程序发起读请求，将接收到的数据写入一个公共内存缓冲区中，并通知数据写盘线程将数据写入硬盘。

4 结论

根据目前我们对高速数据采集系统的测试，使用普通的 IDE 硬盘（转速 7200/分，平均寻道时间 8.5ms），可以对 10MB/s 左右的实时高速数据进行采集、存储和处理，能够满足某型号卫星下行的高速数据传输的要求。若使用 SCSI HD 或 RAID 磁盘阵列，将可达到更高的存盘速率。

由于本系统设计中采用技术的通用性和灵活性，使其可应用于其它相似的高速数据采集与处理系统中，具有广泛的应用前景。

作者感谢胡行毅研究员的帮助。

参考文献:

- [1] 李贵山, 戚德虎 PCI 局部总线开发者指南 西安电子科技大学出版社, 1997
- [2] 《S5933 PCI Controller Data Book》 Applied Micro Circuits Corporation, 1997
- [3] 《3.3Volt High-Density SuperSYNC II 36-Bit FIFO》 IDT INC 1999
- [4] 《BUFMAST》 IDT INC 1996

【作者简介】

姓名: 杨涛, 助理研究员

研究方向: 信号处理、数据通讯

电话: 62630662

E-mail et@nc.poac.ac.cn